

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-126677

(43)Date of publication of application : 22.04.2004

(51)Int.Cl.

G06F 15/78

G06F 15/16

(21)Application number : 2002-286049

(71)Applicant : CANON INC

(22)Date of filing : 30.09.2002

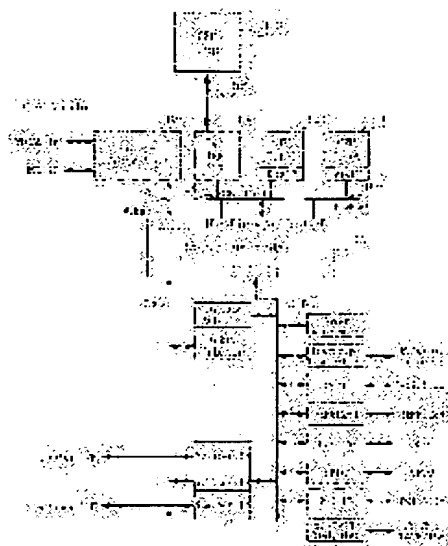
(72)Inventor : DATE ATSUSHI

## (54) PROCESSOR SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a processor system whose configuration can be flexibly changed according to necessary performance.

SOLUTION: The processor system has on a single semiconductor substrate a processor 101, a memory controller 105, an external bus interface 104 to which a processor 103 outside the substrate can be connected, and a system bus bridge 106 for interconnecting the processor 101, the memory controller 105 and the external bus interface 104.



## LEGAL STATUS

[Date of request for examination]

30.09.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-126677

(P2004-126677A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl.<sup>7</sup>

G06F 15/78

G06F 15/16

F 1

G06F 15/78 510B

G06F 15/78 510D

G06F 15/16 640B

テーマコード(参考)

5B045

5B062

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2002-286049(P2002-286049)

(22) 出願日 平成14年9月30日(2002.9.30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100090538

弁理士 西山 恵三

(74) 代理人 100096965

弁理士 内尾 裕一

(72) 発明者 伊達 厚

東京都大田区下丸子3丁目30番2号キヤ

ノン株式会社内

Fターム(参考) 5B045 BB12 BB16 BB23 KK08

5B062 CC04 CC09 EE10 FF05 FF08

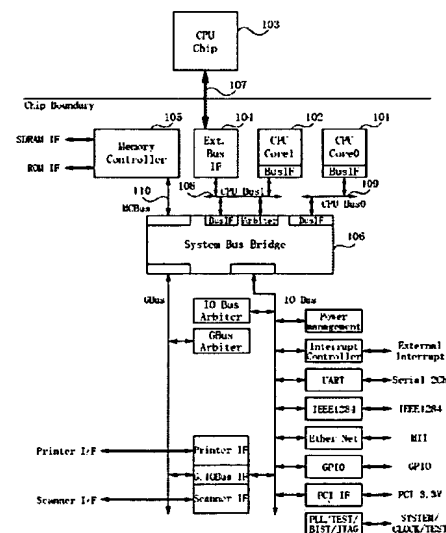
(54) 【発明の名称】 プロセッサシステム

(57) 【要約】

【課題】 必要な性能に応じて柔軟に構成が変更できるプロセッサシステムを提供する。

【解決手段】 単一の半導体基板上に、プロセッサ101と、メモリコントローラ105と、当該基板外部のプロセッサ103を接続可能な外部バスインターフェース104と、プロセッサ101、メモリコントローラ105、及び外部バスインターフェース104を相互に接続するシステムバスブリッジ106とを備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

単一の半導体基板上に、プロセッサと、メモリコントローラと、当該基板外部のプロセッサを接続可能な外部バスインターフェースと、前記プロセッサ、前記メモリコントローラ、及び前記外部バスインターフェースを相互に接続する接続手段とを有することを特徴とするプロセッサシステム。

**【請求項 2】**

前記接続手段はクロスバスイッチであることを特徴とする請求項 1 に記載のプロセッサシステム。

**【請求項 3】**

前記接続手段は共有バスを用いることを特徴とする請求項 1 に記載のプロセッサシステム。

**【請求項 4】**

前記半導体基板上に、前記接続手段と接続した第 2 のプロセッサを更に有することを特徴とする請求項 1 に記載のプロセッサシステム。

**【請求項 5】**

前記第 2 のプロセッサと、前記外部バスインターフェースとをそれぞれ独立に無効化する無効化手段を有することを特徴とする請求項 4 に記載のプロセッサシステム。

**【請求項 6】**

前記プロセッサと前記外部バスインターフェースとが、前記接続手段に共通のバスを介して接続することを特徴とする請求項 1 に記載のプロセッサシステム。

**【請求項 7】**

前記半導体基板上に、前記接続手段に接続した画像データ転送バスと、該画像データ転送バスに接続した画像出力装置インターフェース及び画像入力装置インターフェースとを更に有することを特徴とする請求項 1 に記載のプロセッサシステム。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、CPU コアを内蔵するシステム LSI 等で構成されるプロセッサシステムに関するものである。

**【0002】****【従来の技術】**

従来、図 4 に示される、特開平 11-45225 号公報に記載された、CPU コアを内蔵した LSI が提案されている。

**【0003】**

図 4 において、LSI に内蔵された CPU コア (401) が CPU バス (403) を介し、System Bus Bridge (404) に接続される。System Bus Bridge (404) はクロスバスイッチであり、上記 CPU バス (403) 以外に、メモリコントローラ (402)、GBus (406)、IOBus (405) が接続される。GBus (406) にはバスアービタ (411)、プリンタインターフェース (412)、スキャナインターフェース (413) が接続され、IOBus (405) には、バスアービタ (410)、パワーマネジメントユニット (407)、インタラプトコントローラ (408)、UART (409) 等が接続され、複合機器の制御装置を構成する。

**【0004】**

また、複数の CPU コアを内蔵した LSI も提案されている。更に、CPU コアを内蔵しない LSI では CPU バスのインターフェースを有する LSI が提案されている。

**【0005】****【発明が解決しようとする課題】**

しかしながら、上記従来の CPU コアを内蔵した LSI では、一般的に、独立した単体 CPU を必要とせず、機器を低価格で構成できるという利点があるが、CPU コアの処理能

10

20

30

40

50

力が最新の単体CPUに比べ低いという問題がある。また、CPUコアを内蔵したLSIの性能の問題を解決するために、複数のCPUコアを用い処理の並列化をすることにより、処理能力を向上したLSIも存在するが、これらのLSIの場合、内蔵のCPUコアの性能が不足した場合に、LSIを再設計、最製造しなければならないという問題があった。

#### 【0006】

一方、最新の単体CPUは価格が高く、低性能機種には利用できないという問題がある。またCPUコアを内蔵しないLSIは、外部にCPUを設けることが必須となり、内蔵できるCPUコアの処理性能でも十分なシステムの場合に、システムの価格が高価になってしまうという問題があった。

#### 【0007】

##### 【課題を解決するための手段】

そこで、本発明の目的は、処理性能が低くてもよい場合は、低価格でシステムが構成できるとともに、高い処理性能が必要となった場合には、簡単にシステム構成が変更できる柔軟な構成のプロセッサシステムを提供することにある。

#### 【0008】

上記目的を達成するために、本発明に係るプロセッサシステムは、単一の半導体基板上に、プロセッサと、メモリコントローラと、当該基板外部のプロセッサを接続可能な外部バスインターフェースと、前記プロセッサ、前記メモリコントローラ、及び前記外部バスインターフェースを相互に接続する接続手段とを備える。

#### 【0009】

##### 【発明の実施の形態】

図1に、本発明を適応したシステム構成例のブロック図を示す。

#### 【0010】

チップ内部に第一のCPUコア(101)、CPUコア(101)に接続されるCPUバス(109)、第二のCPUコア(102)及びこれに接続されるCPUバス(108)を有し、CPUバス(108)に外部バスインターフェースであるExt. Bus IF(104)が接続される。ここで、Ext. Bus IF(104)によってサポートされる外部CPUバス(107)の仕様は、本発明に制限を加えるものではないが、内蔵CPUコアと同一のアーキテクチャを採用するCPUを接続することが好ましい。本実施形態においては、MIPSアーキテクチャに準拠したCPUの接続を可能にするバスを採用する。

#### 【0011】

103はLSI外部にCPUバス(107)を介して接続された、外部CPUである。

#### 【0012】

105はメモリコントローラであり、LSI外部のSDRAMを制御する。上記、2本のCPUバス108、109及び、メモリコントローラ105の接続バスであるMCBus(110)、GBus、IOBusを相互に接続するのが、System Bus Bridge(106)である。図4と同様に、GBusにはバスアービタ、プリンタインターフェース、スキャナインターフェースが接続され、IOBusには、バスアービタ、パワーマネジメントユニット、インタラプトコントローラ、UART等が接続され、複合機器の制御装置を構成する。

#### 【0013】

本実施の形態では、LSIのリセット解除後、CPUCore0(101)、CPUCore1(102)、外部CPU(103)がメモリコントローラ105に接続されたROMのブートセクションより、同時にブートプログラムを実行開始する。各プロセッサには、ハードワイヤードで決定された、CPUIDが格納されているので、各プロセッサ共通の初期化ルーチンを実行後、それぞれの個別のプログラムに分岐することにより、3つのプロセッサを同時に使用することが出来る。この手順はすでに、複数CPUチップを用いたマルチプロセッサシステムにおいて公知である。

10

20

30

40

50

## 【0014】

このような構成では、必要に応じてより高性能な外部CPUを接続することにより、性能の向上を図ることができる。一方、高性能を必要としないシステムでは、外部CPU（103）を実装せず、外部CPUバス（107）を適当なレベルに固定することにより、内部の2つのCPUのみを使用し、プログラムを実行することで安価なシステムが実現出来る。本実施形態においては、外部CPUバス（107）の使用可、不可を決定する信号、ValidOut\_L信号をHレベルに固定することにより、外部CPU未接続時に内部CPUのみを使用する。

## 【0015】

なお、ここでは、内部CPUを2つとしたが、1つのみとすることもできる。

10

## 【0016】

図2に、本発明の他の実施形態を示す、上記説明した実施形態に加え、Enable0信号（202）、Enable1信号（201）を追加する。

## 【0017】

Enable0信号は、Ext.BusIF（104）に接続され、内部では、リセット信号とORされている。本信号がアサートされた場合には、Ext.BusIF（104）はリセット状態と同等となり、CPUBus1（108）に対し、バスの使用権要求を発行しない。また、Enable1信号（201）はCPUCore1（102）及び、CPUCore1（102）に内蔵されたバスインターフェース回路に接続され、本信号がアサートされた場合は、CPUCore1はCPUBus1（108）に対して、バスの使用権要求を発行しない。

20

## 【0018】

つまり、Enable0（202）をデアサートし、Enable1（201）をアサートした場合は、CPUCore1（102）はCPUBus1（108）を独占的に使用することが出来る。これに対して、Enable0（202）をアサートし、Enable1（201）をデアサートした場合は、外部CPU（103）がCPUBus1（108）を独占的に使用することが出来る。また、本実施形態では、内部CPUコアと外部CPUに同一のアーキテクチャを持つCPUを採用しているので、ROM内に格納された、共通のプログラムを内部CPU、外部CPU双方で使用することが出来る。

## 【0019】

これにより、外部CPUの追加による性能の向上を簡易な方法にて可能にする。また、共通のLSI及び共通のプログラムを用いながら、処理性能の違う、異なった複数のシステムを構築することが実現されている。

30

## 【0020】

また、本実施形態では、Ext.BusIF（104）及びCPUCore1（102）が同一のCPUバス（CPUBus1）（108）に接続されるので、SystemBusBridge106のバス接続ポート数を低減することが可能となり、回路規模の縮小、LSIの低価格化が実現される。

## 【0021】

図3に、別の実施形態を示す。本実施形態では、SystemBusBridge106に代えて、SystemBus（301）を採用する。クロスバースイッチに代わり、バスを使用した場合は、CPUCore0（101）とCPUBus1（108）の使用権の獲得出来たCPUが同時に別々のスレーブバス（MCBus、GBus、IOBusのいずれか）にアクセスを行った場合に、同時接続が出来ないため、性能の低下が起こるが、その一方で、回線を実現するために必要な面積が小さく、より安価にLSIを構成できる利点がある。

40

## 【0022】

## 【発明の効果】

以上説明したように、本発明によれば、高度な処理能力を必要とする機器には、半導体基板上のプロセッサに加え、基板外部のプロセッサを接続して使用することで、容易に高性能

50

能化を実現できるとともに、高度な処理能力を必要としない機器では、半導体基板上のプロセッサのみを使用し、外部のプロセッサを使用しないことにより低価格化を図ることができ、目的に応じて柔軟なシステム構成をとることができるという効果がある。

【 0 0 2 3 】

また、これにより、同一の半導体基板の適応範囲を、低性能機器から、高性能機器まで拡大し、さらに、処理能力の不足がおきた場合にも基板の再設計の必要性を低減することで、量産を可能とし、量産効果による低価格化を実現できるという効果もある。

【図面の簡単な説明】

【図 1】 実施形態の L S I の構成を示すブロック図である。

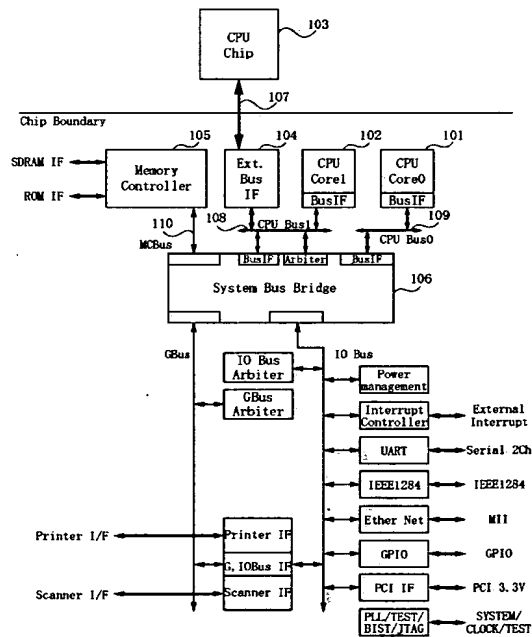
【図 2】 E n a b l e 信号を付加した構成を説明する図である。

【図 3】 共有バス構成を用いた実施形態を示した図である。

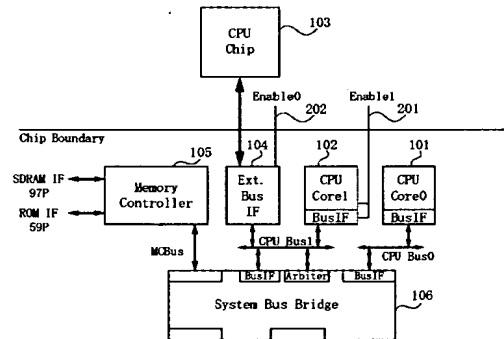
【図 4】 従来のシステム構成を示す図である。

10

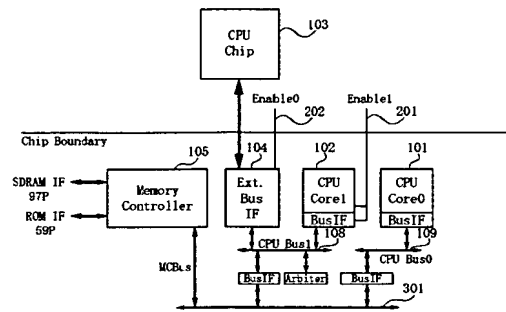
【 図 1 】



【 図 2 】



【図 3】



【図 4】

